

P13-2005-217

В. А. Калинин

ПРИМЕНЕНИЕ МНОГОЗНАЧНОЙ ЛОГИКИ
В ЦИФРОВОЙ ТЕХНИКЕ

Направлено в журнал «Приборы и техника эксперимента»

Калинников В. А.

P13-2005-217

Применение многозначной логики в цифровой технике

Рассматриваются новые направления применения многозначной логики при проектировании цифровых устройств. Многозначная логика предоставляет более широкие возможности для реализации алгоритмов цифровой обработки, чем традиционная двоичная логика. В прикладных задачах она значительно упрощает вычислительный процесс, уменьшает общее количество операций, позволяет найти альтернативные способы вычислений, проще формализовать и лучше понять решаемую задачу и найти более эффективные пути ее решения. Дополнительные возможности при проектировании цифровых устройств, таких как многоуровневые модули памяти, арифметические устройства, программируемые логические матрицы, появляются с применением многоуровневых сигналов, а именно: значительно уменьшается количество соединений с внешними устройствами (решается проблема контактов ввода/вывода); уменьшается количество линий для переносов, которые возникают при реализации арифметических операций; увеличивается плотность размещения компонентов.

Работа выполнена в Лаборатории ядерных проблем им. В. П. Дзелепова ОИЯИ.

Препринт Объединенного института ядерных исследований. Дубна, 2005

Kalinnikov V. A.

P13-2005-217

An Application of Multiple-Valued Logic for the Digital Design

A new multiple-valued logic applications for designing digital devices are considered. The multiple-valued logic gives more opportunities for realization of digital processing algorithms than traditional binary logic. One can more efficiently solve the problems of binary logic, namely: find alternative ways of calculations, better understand, easier formalize and solve the problems logical design. Using the multilevel signals for design of multiple-valued memories, arithmetic circuits, Field Programmable Gate Arrays has several potential opportunities for the improvement of circuits, namely: to reduce the difficulties with limitations on the number of connections of an integrated circuit with the external world (pin-out problem) as well as on the quantity of connections inside the circuit; to reduce or eliminate the ripple-through carries which are involved in normal binary addition or subtraction; to reduce a total number of active elements.

The investigation has been performed at the Dzhelepov Laboratory of Nuclear Problems, JINR.

Preprint of the Joint Institute for Nuclear Research. Dubna, 2005

ВВЕДЕНИЕ

Значительными темпами развивающаяся цифровая техника практически вся строится на базе двужначной математической логики. Это не всегда экономично, но для микроэлектроники в настоящее время большее значение имеет «глобальная» минимизация на уровне больших функциональных узлов. К сожалению, технологические возможности современной микроэлектроники подходят к своему физическому пределу — увеличение плотности размещения элементов и повышение рабочей частоты скоро будут исчерпаны. Одним из путей преодоления этой проблемы является применение многозначной логики [1–3]. Первые попытки построения многозначных интегральных схем были начаты в 1970-х гг. Наиболее перспективными приложениями многозначной логики в настоящее время являются схемы памяти и арифметические устройства. Так, например, компания «Intel» с 1981 г. выпускает многоуровневую память типа ROM и использует ее в некоторых типах сопроцессоров. Четырехуровневую память используют в своих системах «Motorola» и «General Instrument» [2, 3].

Многозначная логика предоставляет более широкие возможности для синтеза алгоритмов цифровой обработки сигналов, чем классическая двоичная логика. Кроме того, решения задач на базе многозначной логики значительно компактнее и шире в части функциональных возможностей, а применение многоуровневых сигналов в цифровых устройствах позволяет: значительно уменьшить количество внутренних соединений, повысить быстродействие устройства и увеличить плотность размещения компонентов [5, 6]. Безусловно, применение многозначной логики требует новых решений в области принципов работы элементов и схемотехнических решений.

В настоящее время многозначная логика в цифровой технике используется в двух направлениях [2, 3]:

- для эффективного решения задач и алгоритмов цифровой обработки сигналов (синтез, анализ, преобразование, оптимизация и т. д.);
- применение многоуровневых сигналов в цифровых устройствах, таких как элементы памяти, арифметические схемы, программируемые пользователем вентильные матрицы (ППВМ).

1. ПРИМЕНЕНИЕ МНОГОЗНАЧНОЙ ЛОГИКИ В СИСТЕМАХ ПРЕДВАРИТЕЛЬНОГО ОТБОРА СОБЫТИЙ

Системы предварительного отбора событий в современных физических экспериментах должны обладать высоким быстродействием и функциональной гибкостью, т. е. способностью быстрого перепрограммирования во время проведения измерений. Триггерная электроника, используемая в таких системах, создается специально для каждого конкретного случая. В ее основу закладываются алгоритмы выполнения логических и вычислительных операций, которые требуют однозначного знания о поведении изучаемого процесса [7]. Для реализации логических функций отбора в настоящее время применяют многоуровневые программируемые логические матрицы (FPGA). Эти матрицы являются массивом логических блоков, взаимосвязь между которыми задается пользователем. В большинстве FPGA для доступа к логическим блокам используются k -входные логические таблицы поиска (Look Up Table), которые могут выполнять любую булеву функцию от k переменных. Эти таблицы поиска (LUT) используются как универсальные логические модули при реализации требуемой функции [9, 10]. Очевидно, что быстродействие такой реализации зависит как от структуры логических блоков, так и от количества взаимосвязей между ними (в конкретных приложениях может занимать до 50 % доступной области). Поэтому для получения оптимальной конфигурации необходимо применять специальные методы синтеза [11, 12].

Методы синтеза логических схем делятся на двухуровневый и многоуровневый. Главные задачи двухуровневого синтеза — минимизация количества уровней; минимизация общего количества LUT, используемых в отображении [13, 14]. Главными критериями оптимизации при многоуровневом синтезе являются длина критического пути для прохождения сигнала со входа на выход и площадь, занимаемая логической сетью, причем при определении площади учитывается также площадь межсоединений.

Методика синтеза схем на FPGA включает следующие последовательно выполняемые этапы: на базе различных методов преобразований строится модель логической функции (ЛФ); для данной модели решаются задачи синтеза (минимизации, декомпозиции, факторизации и др.); выполняется отображение полученной логической схемы на структуру реальной FPGA. Большинство современных методов многоуровневого синтеза реализовано на базе программы MIS, разработанной в лаборатории электронных исследований Калифорнийского университета в Беркли (США). В подсистеме MIS-MV реализованы методы многозначной минимизации многоуровневого синтеза, а в подсистеме MIS-PGA реализованы методы синтеза, ориентированные на узлы логической сети FPGA для логических функций на базе LUT [13].

Двухуровневый синтез тесно связан с концепцией многозначной логики [5, 13], в которой ЛФ рассматривается как функция с многозначным входом

и с многозначным выходом. Пусть комбинационная схема задана системой булевых функций $Y = \{Y_1(X_1), \dots, Y_m(X_m)\}$, где m — число выходных функций триггера (выходных переменных), а k — число аргументов (входных переменных) функций $X_i = \{x_1, \dots, x_k\}$. Таким образом, совокупность всех функций $Y_i \in Y$ образует k -значное логическое исчисление, или k -мерное пространство, где k -значные переменные образуют координатные направления этого пространства, в каждой дискретной точке которого расположено значение функции Y , соответствующее значениям переменных по координатным направлениям. Задание значений многозначной функции Y в виде таблицы истинности связано с громоздкой записью выражения даже при небольших значениях k и m . Поэтому на практике дискретная многозначная логическая функция представляется алгебраическим выражением в виде системы полиномов.

Использование арифметических операций при реализации синтеза значительно облегчает процедуру поиска допустимых или наилучших значений параметров представления заданной логической функции в конкретном цифровом устройстве. Логическую функцию в базисе $\{\&, \vee, \bar{}\}$ можно реализовать арифметическим полиномом, заменив в ней логические операции на арифметические, по следующим правилам [4, 14]:

$$x_1 \& x_2 = x_1 \cdot x_2; \quad x_1 \vee x_2 = x_1 + x_2 - x_1 \cdot x_2; \quad \bar{x} = 1 - x.$$

Следовательно, для записи ЛФ арифметическим полиномом достаточно только двух обратимых операций — умножения и сложения. Такую структуру, с двумя обратимыми математическими операциями, называют *полем*, а эти операции формируют функционально законченный набор, необходимый для реализации любой дискретной функции. Поэтому математические операции по полям Галуа удовлетворяют требованиям для реализации схем с многозначной логикой.

Предложенные Ридом–Маллером полиномиальные разложения k -значной функции в конечных полях могут быть эффективно использованы при логическом проектировании и синтезе цифровой электроники. Дискретная ЛФ может быть единственным образом представлена в виде полинома по конечному полю Галуа $GF(k)$, где $k = p^n$ — степень целого числа p [15, 16]:

$$f(x) = \sum_{i=0}^{k-1} C_i x^i, \quad (1)$$

а коэффициенты C_i определяются как

$$\begin{aligned} C_0 &= F_0, \\ C_i &= \sum_{g \neq 0} [F_0 - F_g] g^{-i}, \end{aligned} \quad (2)$$

где F_0, F_1, \dots, F_{k-1} — значения функции в точках $0, 1, \dots, k-1$, а коэффициенты C_i вычисляются на базе теоремы Менгера [15], которая справедлива только для полностью определенных функций. Отличительной особенностью этого преобразования является то, что преобразованная область аналогична области логических функций, т. е. полученное преобразование приводит к каноническому представлению коэффициентов функции в базисе $\{\&, \vee, \neg, \oplus\}$, а новое поколение FPGA (Xilinx, Altera, AMD) помимо элементов AND и OR в логике второго уровня уже имеют элементы EXOR «исключающее OR». Следовательно, преобразованные выражения ЛФ легко реализуются на базе этих FPGA.

Для практических приложений в работе [17] предложено применение интерполяционного метода по конечным вычетам, который может быть применен при полиномиальном разложении не полностью определенной ЛФ. Разностные выражения коэффициентов для функции, значения которой определены как F_0, F_1, \dots , вычисляются следующим образом [17]:

$$\begin{aligned} [x_i, x_j] &= \frac{F_{x_i} - F_{x_j}}{x_i - x_j}, \\ [x_i, x_{i+1} \dots x_{i+j}] &= \frac{[x_i, x_{i+1} \dots x_{i+j-1}] - [x_{i+1}, x_{i+2} \dots x_{i+j}]}{x_i - x_{i+j}}. \end{aligned} \quad (3)$$

Тогда полиномиальное представление ЛФ определяется

$$F(x) = F_0(x) + \sum_{i=0}^{k-1} (x - x_0)(x - x_1) \dots (x - x_{i-1}) [x_0 x_1 \dots x_i]. \quad (4)$$

Так как данный метод при реализации «пропускает» неопределенные точки, это приводит к минимизации выражения полинома, т. е. упрощает аппаратную реализацию и эффективность анализа реализуемой схемы по сравнению с прямым алгоритмом Рида–Маллера. Так как в практических приложениях в основном используется не более 30–40% от общего числа функций, то данное преобразование позволяет значительно уменьшить и упростить логическое выражение.

Примером применения программируемых логических матриц (ПЛМ) в системах предварительного отбора событий является управляемый логический блок LB 500, разработанный для эксперимента РИВЕТА (PSI, Швейцария) [8]. Этот блок, выполненный в стандарте КАМАК, реализован на ПЛМ CPLD ispLSI 2128E (Lattice Semiconductor Corp., США). Матрица CPLD ispLSI 2128E включает в себя четыре мегаблока, внутренняя структура которых показана на рис. 1. Все тридцать два универсальных логических блока (УЛБ) объединены базовой матрицей переключений.

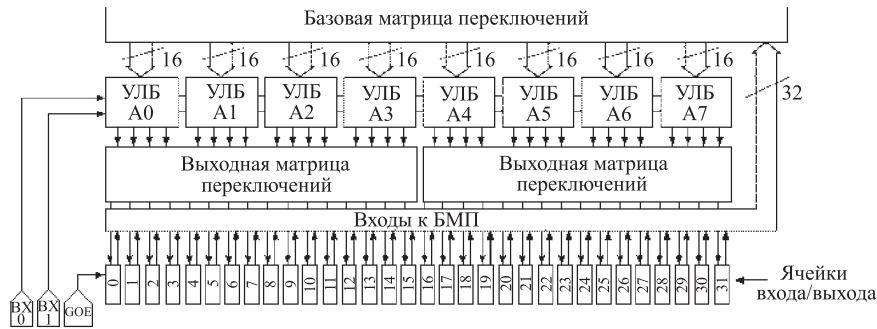


Рис. 1. Внутренняя структура мегаблока матрицы CPLD ispLSI 2128E

Так как матрица CPLD не содержит статических ячеек памяти для реализации логических функций, то она функционирует как обычный универсальный модуль в режиме совпадения. Поэтому задержки распространения сигналов внутри ПЛМ выровнены с тем, чтобы минимизировать разброс по времени для организации режима совпадений (временные задержки сигналов внутри матрицы регулируются с шагом 2,5 нс). Система отбора на базе LV 500 в спектрометре РИВЕТА реализует одновременно 12 триггеров и обеспечивает работу на больших нагрузках по пучку. Оперативное перепрограммирование логической матрицы осуществляется от персонального компьютера через систему КАМАК. Это обеспечивает быструю модификацию функции триггера в процессе набора статистики.

На рис. 2 представлена упрощенная функциональная схема реализации многозначной логической функции отбора на программируемой матрице CPLD ispLSI 2128E.

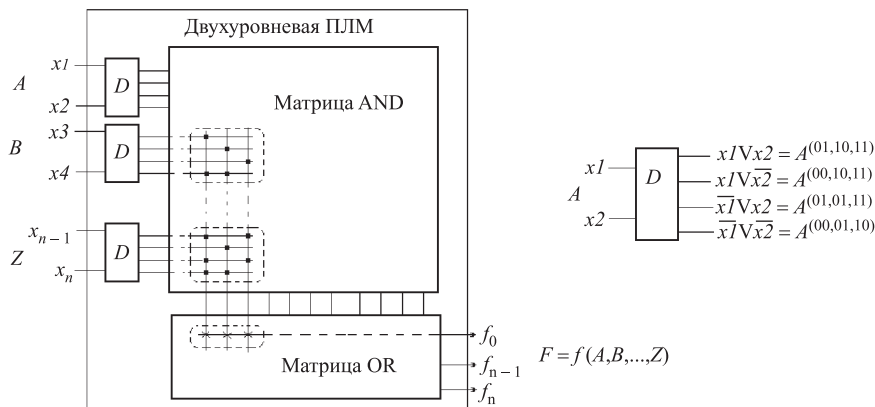


Рис. 2. Реализация многозначной логической функции на матрице CPLD

2. ПРИМЕНЕНИЕ МНОГОЗНАЧНОЙ ЛОГИКИ ДЛЯ РЕАЛИЗАЦИИ БЫСТРЫХ АЛГОРИТМОВ СПЕКТРАЛЬНОГО ПРЕОБРАЗОВАНИЯ

Цифровая обработка сигналов оказала влияние на формирование новых подходов к решению ряда задач логического проектирования. Например, с позиций спектральной техники, коэффициенты полинома Рида–Маллера являются спектральными коэффициентами (как результат преобразования логической функции в заданном базисе) [18]. При такой интерпретации поле комплексных чисел может быть заменено конечным полем, и в этом поле, при определенных условиях, могут быть определены числовые преобразования, аналогичные дискретным преобразованиям Фурье (ДПФ). Такие преобразования были предложены в 1970-х гг. и получили название теоретико-числовых преобразований [19–21]. Теоретико-числовые преобразования (ТЧП) идеально подходят для организации спектральных измерений, так как квантование по амплитуде и дискретизация по времени непосредственно входят в их определение, а точность и быстродействие выше, чем у аналогичных алгоритмов ДПФ. Теоретико-числовое преобразование последовательности $\{x_n\}$ из N целых чисел по модулю M определяется следующим образом [20]:

$$X_k = \left\langle \sum_{n=0}^{N-1} x_n q^{nk} \right\rangle_M, \quad (5)$$

где q — целое число, взаимно простое с M и имеющее порядок N . Это выражение аналогично дискретному преобразованию Фурье, где в качестве $W = \exp(j2\pi/N)$ используется число q , N -я степень которого сравнима с 1, а все вычисления проводятся в арифметике по модулю M . Число q выбирается таким образом, чтобы оно обладало свойством, аналогичным свойству $W = \exp(j2\pi/N)$, а именно [20]:

$$\langle q^N \rangle_M = 1, \quad \langle q^n \rangle_M = 1, \quad \langle q^n \rangle_M \neq 1, \quad 0 < n < N.$$

В приложениях спектрального анализа нас интересуют теоретико-числовые преобразования в поле комплексных чисел. Если число -1 является квадратичным невычетом по модулю q , т.е. если сравнение $x^2 \equiv -1 \pmod{q}$ не имеет решения, то ТЧП, аналогичное комплексному ДПФ, может быть определено над конечным полем $GF(q^2)$. Теоретико-числовое преобразование последовательности чисел $\{a_n\} \in GF(q^2)$ в последовательность чисел $\{A_k\}$ определяется следующим образом [20, 21]:

$$A_k = \sum_j^{d-1} a_j \cdot r^{kj}, \quad (6)$$

где $\{A_k\} \in GF(q^2)$, а $0 \leq j \leq d - 1$. Длина преобразованной последовательности $\{A_k\}$ зависит от выбора первообразного элемента r . Обратное ТЧП, позволяющее определить элементы поля $\{a_i\}$ через элементы $\{A_k\}$, имеет следующий вид:

$$a_i = d^{-1} \cdot \sum_{k=0}^{d-1} A_k \cdot r^{-ki}, \quad (7)$$

где d^{-1} — целое число, удовлетворяющее условию $d^{-1} \cdot d = g^2 - 1$, т.е. является обратным элементом к d в поле $GF(q^2)$. Конечное поле $GF(q^2)$ представляет собой множество элементов $\{\alpha + \hat{i} \cdot b\} \in GF(q^2)$, где $\alpha, b \in GF(q)$, а \hat{i} является корнем уравнения $p(x) = x^2 + 1 = 0$, удовлетворяющим равенству $\hat{i}^2 = (-1)$, т.е. играет ту же самую роль в конечном поле $GF(q)$, что и $j = \sqrt{-1}$ в поле комплексных чисел. Таким образом, над полем $GF(q^2)$ можно определить ТЧП в поле комплексных чисел:

$$A_k = \sum_j^{d-1} a_j \cdot r^{kj} = (\alpha_k + ib_k),$$

которое является точным, без ошибок округления и усечения, и это преобразование можно использовать для измерения спектральных характеристик сигналов без потери информации.

Применение алгоритмов теоретико-числовых преобразований открывает большие возможности по повышению точности и быстродействия, к снижению стоимости при аппаратурной реализации спектрального измерения. Так, например, в работе [21] предложен алгоритм скользящего рекуррентного спектрального измерения на базе теоретико-числовых преобразований. Скользящее спектральное измерение вычисляется в соответствии с d -точечным рекуррентным выражением ТЧП [21]:

$$S_{n+1}(k) = S_n(k) + [a(n+1) - a(n-d+2)] \cdot r^{-k(d-1)}, \quad (8)$$

где $S_n(k)$ — предыдущее спектральное измерение на выборке сигнала в интервале от $a(n)$ до $a(n-d+1)$ на частоте k ; $N = d - 1$ — длина выборки сигнала; $a(n+1)$ — новое дискретное значение сигнала $a(n_i)$, входящего в выборку; $a(n-d+2)$ — дискретное значение сигнала, выходящего из выборки, а $r = (a + \hat{i}b)$ — первообразный элемент в поле $GF(q^2)$. Аналогичным образом определяются рекуррентные выражения ТЧП для всего диапазона частот $k, n = 0, 1, \dots, d - 1$. Данный метод на базе рекуррентного алгоритма ТЧП позволяет реализовать динамический спектральный анализ сигналов в системах реального времени. В отличие от аналогичного рекуррентного преобразования в поле комплексных чисел, данный алгоритм является точным, т.е. не вносит ошибки преобразования.

На рис. 3 представлена функциональная схема для реализации скользящего спектрального измерения на базе рекуррентного алгоритма ТЧП в поле $GF(q^2)$. Устройство работает следующим образом. Текущее дискретное зна-

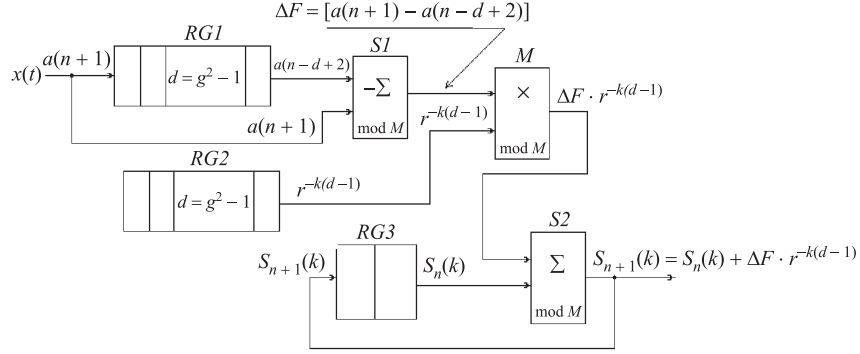


Рис. 3. Функциональная схема спектрального измерения на базе рекуррентного алгоритма ТЧП в поле $GF(q^2)$

чение сигнала $a(n + 1)$ записывается в сдвиговый регистр $RG1$ с глубиной памяти, равной размерности выборки $N = d - 1$. Одновременно с этим значение сигнала $a(n + 1)$, которое «входит в выборку», поступает на вход S -схемы вычитания элементов в поле $GF(q^2)$, на другой вход которой из сдвигового регистра $RG1$ поступает значение последовательности в точке $a(n - d + 2)$, «выходящее из выборки». На схеме $S1$ вычисляется разность значений сигналов $\Delta F = [a(n + 1) - a(n - d + 2)]$. Вычитание элементов производится в соответствии с правилами выполнения операций по модулю поля $GF(q^2)$. Регистр $RG2$ используется для хранения предварительно вычисленных коэффициентов преобразования $r^{-i}(k) = r^{-k(d-1)}$ для всего диапазона частот $k = 0, 1, \dots, d - 1$, на котором производится измерение спектра. По вычисляемой частоте спектра k из регистра выбирается соответствующее значение элемента $r^{-i}(k)$, который поступает на схему умножения, где вычисляется значение $y = \Delta F \cdot r^{-k(d-1)}$. На сумматоре $S2$ рекуррентно вычисляется спектральное значение $S_{n+1}(k) = S_n(k) + \Delta F \cdot r^{-k(d-1)}$ на измеряемой частоте. Для этого вычисленное новое значение $y = \Delta F \cdot r^{-k(d-1)}$ суммируется со значением $S_n(k)$, которое получено на предыдущей выборке в точке $a(n)$. Это значение запоминается в регистре $RG3$ и будет использовано при вычислении спектра в точке $a(n + 2)$. Аналогичным образом производится вычисление спектральных коэффициентов для всего диапазона частот $k = 0, 1, \dots, d - 1$, т. е. вычисляются все значения $S_{n+1}(k), S_{n+2}(k), \dots, S_{n+i}(k)$.

3. ОПРЕДЕЛЕНИЕ МНОЖЕСТВЕННОСТИ СОБЫТИЯ В ПЛОСКОСТИ ДЕТЕКТОРА НА БАЗЕ ЧИСЛЕННЫХ МЕТОДОВ ПРЕОБРАЗОВАНИЯ

Алгоритм определения множественности события в плоскости детектора (числа сработавших датчиков) основан на преобразовании позиционного кода в код Боуза–Чоудхури–Хоквингема (БЧХ) [22]. В работах [23, 24] показано, что множественность события в плоскости детектора можно однозначно представить в виде специально построенного кодового значения, по которому определяются номера сработавших датчиков и их общее количество.

В определении БЧХ-кодов полагается, что символами кода являются элементы конечного поля $GF(2^m)$. На первом этапе, на базе предварительно построенной проверочной матрицы H_T для специально построенного БЧХ-кода, выполняется преобразование данных с детектора в кодовое значение, т. е. выполняется преобразование вектора данных \mathbf{x} в вектор \mathbf{A} :

$$\mathbf{x} = \underbrace{\{x(0), x(1), \dots, x(N)\}}_{\text{вектор разрядностью } N} \Rightarrow \mathbf{A} = \underbrace{\{a(1), a(2), \dots, a(t)\}}_{\text{вектор разрядностью } mt},$$

где N — разрядность позиционного кода; m — разрядность используемого БЧХ-кода, а t — количество одновременно сработавших датчиков в плоскости детектора (множественность события), причем $mt \ll N$. В теории кодирования показано, что для любых целых и положительных $m, t \in GF(2^m)$ существует БЧХ-код длиной $N = 2^m - 1$ с минимальным расстоянием между кодовыми векторами не менее t символов [24]. Этот код содержит не более mt символов в проверочной матрице кода H_T и исправляет все комбинации t или меньшего числа независимых ошибок. Таким образом, на базе предварительно построенной проверочной матрицы H_T , которая исправляет t ошибок в позиционном коде размерностью $N = 2^m - 1$, вычисляется кодовое значение, т. е. выполняется преобразование вида

$$S_j(t) = \begin{bmatrix} x(0) \\ x(1) \\ \vdots \\ x(N) \end{bmatrix} \times \underbrace{\begin{bmatrix} 1 & 1 & \dots & 1 \\ a^1 & a^3 & \dots & a^{2t-1} \\ a^2 & a^6 & \dots & a^{2(2t-1)} \\ \dots & \dots & \dots & \dots \\ \underbrace{a^{N-1}}_{S_1} & \underbrace{a^{3(N-1)}}_{S_3} & \dots & \underbrace{a^{(N-1)(2t-1)}}_{S_{2t-1}} \end{bmatrix}}_{H_T},$$

где $S_j(t) = \{S_1, S_1, \dots, S_{2t-1}\}$ — синдром кодового слова. Алгоритм преобразования количества сработавших датчиков в плоскости детектора t базируется на свойстве матрицы L_t , построенной из элементов симметрических

При реализации данного алгоритма на FPGA вся цифровая логика может быть выполнена на одной или нескольких матрицах, что гарантирует высокое быстродействие и минимальные аппаратные затраты. Кроме того, все предварительно составленные аналитические выражения «выходов» могут быть при необходимости легко модифицированы. Это обеспечивает функциональную гибкость при работе в системах отбора событий и не требует изменения аппаратного содержания используемого модуля.

На рис. 4. представлена функциональная схема построения цифрового устройства, оперирующего в многозначной логике, для определения множественности события в плоскости детектора.

4. ПРИМЕНЕНИЕ МНОГОУРОВНЕВЫХ СИГНАЛОВ В ЦИФРОВЫХ ЭЛЕКТРОННЫХ СХЕМАХ

4.1. Цифровые схемы с многоуровневой токовой логикой. Современные многоуровневые цифровые устройства строятся на схемах с применением токовой логики, так как она наиболее подходит для многозначной реализации. В таких схемах токи выбираются такими, чтобы получаемые логические уровни были бы целочисленными множителями опорного тока. Это позволяет просто реализовать арифметические операции. Например, сложение легко выполняется токовым суммированием, а операция умножения может быть выполнена масштабированием. Токовая логика значительно повышает быстродействие и уменьшает общее количество активных элементов [2, 3, 25]. Наиболее перспективные приложения токовой многоуровневой логики — это модули памяти (перепрограммируемые [26, 27], динамические [28], аналоговые [29], оптические [30]) и арифметические устройства. Среди других интересных практических приложений многозначной логики в цифровой технике — мультиплексоры [31], A/D-конверторы [32], декодеры [33].

4.2. Многоуровневая логика, реализуемая на ECL-схемах. Любую логическую функцию можно реализовать в базисе $\{\&, \vee, \bar{}\}$, который является функционально полным. Применение же расширенного базиса $\{\&, \vee, \bar{}, \oplus\}$ при реализации ЛФ позволяет сократить число логических элементов и внешних выводов [4]. Так, например, логическая функция

$$y = (\bar{x}_1 x_2 \vee x_1 \bar{x}_2) x_3 \vee (\bar{x}_1 \bar{x}_2 \vee x_1 x_2) \bar{x}_3 = x_1 \oplus x_2 \oplus x_3$$

в расширенном базисе потребует для своей реализации всего лишь одного модуля EXOR на три переменные.

Логические функции в расширенном булевом базисе можно легко реализовать на ECL-схемах. Цифровые сигналы в ECL-схемах могут быть представлены в виде напряжения и тока. Тогда ECL-модуль, показанный на рис. 5, а,

будет выполнять в токовой логике логическую операцию «исключающее OR». Для исключения ситуации, когда суммарный ток $2I_0$ генерирует логическое значение 2 (рис. 5, б), которое находится вне логического диапазона $\{1, 0\}$, параллельно с резистором R_0 включается диод отсечения. Его действие аналогично логической минимальной операции сравнения, которое реализуется формулой $x + y = \min(x \& y, 1)$.

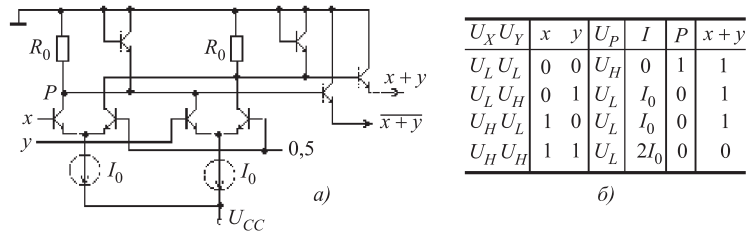


Рис. 5. Токовая логика в ECL-схемах

Таким образом, схема \overline{OR} на рис. 5, а в токовом режиме реализует операцию «исключающее OR», т. е. на данной схеме можно реализовать расширенный базис $\{\&, \vee, -, \oplus\}$.

Для реализации многоуровневой логики на ECL-схемах необходимо исключить диод отсечения (рис. 5, а), параллельный резистору R_0 . Тогда в узле P будет реализовано токовое суммирование, которое преобразуется в многоуровневый сигнал напряжения на выходе. При сложении токов, для предотвращения насыщения транзисторов, уровни входных и опорных сигналов должны быть смещены вниз, как это показано на примере полного токового сумматора, где входные уровни напряжения $U_{B'}$ и соответствующее значение опорного напряжения смещены вниз на $-1,6$ В, а для $U_{C'}$ — смещены вниз на $-3,2$ В (рис. 6, б).

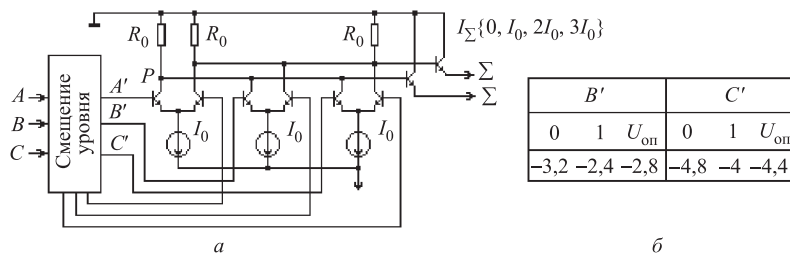


Рис. 6. Схема ECL полного токового сумматора

На рис. 6 показана схема ECL полного сумматора. Сложение сигналов A , B и C приводит к сумме с четырехзначным значением $\Sigma = A \in \{0, 1, 2, 3\}$,

а преобразованный сигнал напряжения в узле P является также четырехзначным сигналом $U_{\Sigma} \{0, -0,8, -1,6, -2,4\}$, соответствующим четырехзначному токовому сигналу $I_{\Sigma} \{0, I_0, 2I_0, 3I_0\}$. Таким образом, на ECL-схемах можно реализовать быструю многозначную логику, которую можно применять при реализации логической функции в системах предварительного отбора событий.

Многозначную токовую логику можно применить и для реализации логических функций на базе FPGA. Для этого линии с тремя состояниями и малой задержкой (матрицы соединений Versaring), которые используются для доступа к LUT внутри FPGA, используются для организации токовой логики. В этом случае внутри FPGA реализуется смешанная логика, т. е. на входах LUT используется потенциальная логика, а на выходе — токовая. Тогда выходные токовые сигналы можно суммировать и вычитать простым проводным объединением (рис. 7). Это позволяет значительно сократить количество линий связи и LUT при реализации логической функции, в связи с чем повышается быстродействие и функциональная плотность FPGA.

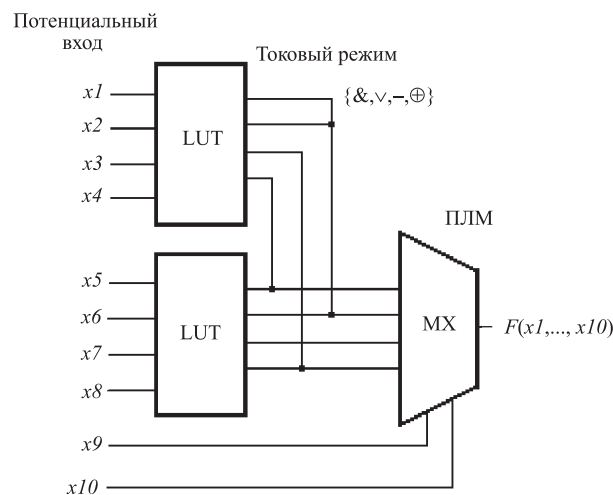


Рис. 7. Реализация булевой функции на FPGA в токовом режиме

На рис. 7 показан пример реализации булевой функции на FPGA, когда используется токовый режим коммутации выходов LUT.

4.3. Многозначная логика, реализуемая на аналоговых запоминающих ячейках памяти. Многоуровневая аналоговая память имеет следующие преимущества: она может быть быстро модифицирована непосредственно входным аналоговым сигналом, и тем самым устраняются операции, связанные с регенерацией [29]. Поэтому ее можно использовать в быстродействующей

щих специализированных цифровых устройствах, таких как преобразователи формы сигналов, которые применяются в современных экспериментах. Так, например, в эксперименте РИВЕТА используется быстрая аналоговая память для детальной оценки вклада «импульсов нагона» в кристаллах CsI [8]. При высокой загрузке по пучку до $5 \cdot 10^6 \text{ с}^{-1}$ увеличивается вероятность «фона нагона» в кристаллах. Например, два позитрона от одновременного распада двух мюонов в мишени с энергиями 40 и 30 МэВ, испускаемых в том же самом направлении, могут произвести сигнал 70 МэВ в кристалле. Для оценки вклада импульсов нагона используются преобразователи формы сигналов, которые повышают пространственное разрешение системы регистрации. Преобразователи формы сигналов оцифровывают сигнал с высокой частотой (500 МГц) и сохраняют выборку значений в аналоговой памяти. Затем в режиме считывания аналоговые значения сигналов восстанавливаются аналого-цифровым преобразователем. В эксперименте РИВЕТА для этих задач используется специально разработанная микросхема (DSC), которая является быстрой аналоговой памятью, изготовленной по CMOS-технологии [34].

На рис. 8 показана функциональная схема DSC и архитектура аналогового преобразователя формы сигнала. Функционирование преобразователя состоит из стадии записи и стадии считывания. Принцип механизма за-

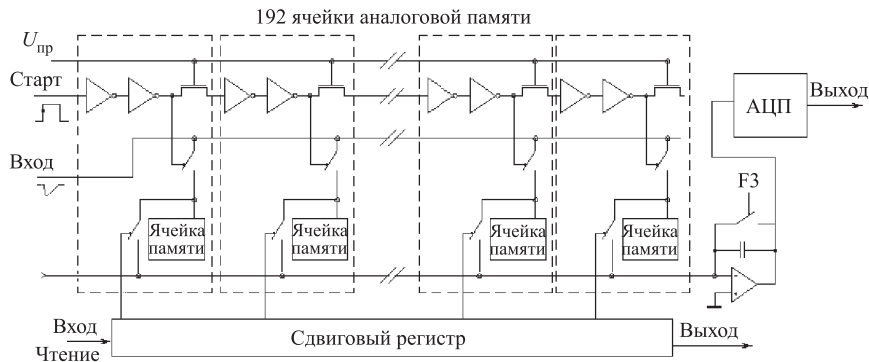


Рис. 8. Функциональная схема аналогового преобразователя формы сигнала

писи заключается в следующем: фронт импульса «Старт» передается через два последовательных CMOS-инвертора. Так как время распространения в инверторе приблизительно 500 пс, импульс будет задержан примерно на 1 нс. Таким образом, сигнал распространяется через длинную цепочку инверторов подобно волне домино. Каждый второй инвертор подключает вход аналоговой ячейки памяти, запоминая мгновенное значение входного сигнала с интервалом в 1 нс. Импульс в конце сдвигового регистра подключает вход усилителя к ячейкам памяти, обеспечивая последовательное считывание данных из

DSC. На рис. 9 показана форма сигнала в кристалле при одновременной регистрации двух мюонов. Регистрация осуществляется на частоте 500 МГц, а считывание на частоте 5 МГц.

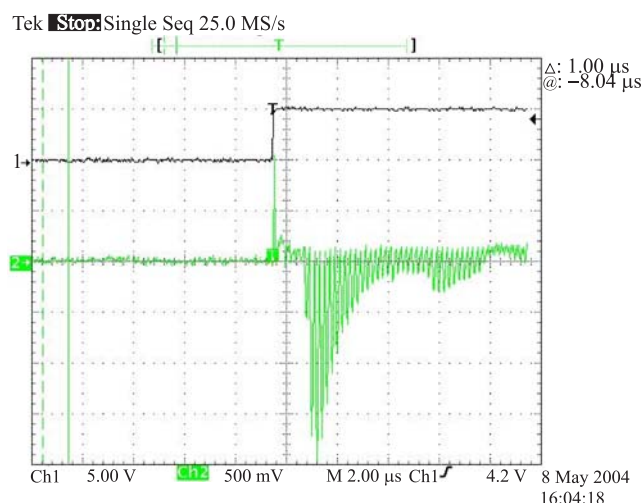


Рис. 9. Формы сигналов «импульсов нагона» в кристаллах CsI, зарегистрированные системой аналоговой памяти

ЗАКЛЮЧЕНИЕ

Применение многозначной логики в цифровой технике позволяет получить дополнительные функциональные возможности при реализации алгоритмов и синтеза реализуемых функций. Например, применение полиномиального разложения логической функции в конечных полях позволяет использовать многоуровневые алгоритмы синтеза. Эти многомерные преобразования обладают свойствами быстрых дискретных преобразований, что реализуется значительно эффективнее по сравнению с двоичной логикой.

Применение многоуровневых сигналов в цифровых устройствах значительно уменьшает количество взаимосвязей, повышает плотность и быстродействие. Так, например, при реализации логической функции от 10 переменных в трехзначной логике плотность ПЛМ увеличивается на 23 % по сравнению с двоичной реализацией, а быстродействие увеличивается на 7 % [10].

Автор выражает благодарность В. М. Гребенюку за полезные обсуждения и поддержку при подготовке данной работы.

ЛИТЕРАТУРА

1. *Gulak G.* A Review of Multiple-valued Memory Technology // Proc. 28th Int. Symp. Multiple-Valued Logic, 1998. P. 222–233.
2. *Hurst S. L.* Multiple-valued logic — its status and its future // IEEE Transactions on Computers. 1984. V. C-33, No. 12. P. 1160–1179.
3. *Smith K. C.* The Prospects for Multivalued Logic: A Technology and Applications View // IEEE Transactions on Computers. 1981. V. C-30, No. 9. P. 619–634.
4. *Яблонский С. В.* Функциональные построения в k -значной логике // Тр. Математического института имени В. А. Стеклова. 1958. Т. LI.
5. *Brayton R. K., Khatri S. P.* Multi-valued logic synthesis // Proc. 12th Int. Conf. on VLSI Design, 1999. P. 196–206.
6. *Etiemble D., Israel M.* Comparison of Binary and Multivalued ICs According to VLSI Criteria // Computer. 1988. V. 21, No. 4. P. 28–42.
7. *Калинников В., Крестев В., Никитюк Н.* Программируемый логический блок для быстрого отбора событий. Препринт ОИЯИ P11-84-234. Дубна, 1984.
8. *Crawford J. et al.* Design, Commissioning and Performance of the PIBETA Detector at PSI // Nucl. Instr. Meth. A. 2004. V. 526. P. 300–347.
9. *Sheikholeslami A.* Look-up tables for multiple-valued, combinational logic // Proc. 28th Int. Symp. Multiple-Valued Logic, 1998. P. 264–269.
10. *Tharus S., Wong D.* On Designing ULM-Based FPGA Logic Modules // Proc. of Third International Symposium on FPGAs, California, February 1995. P. 3–9.
11. *Brayton R. K., Khatri S. P.* Multi-valued logic synthesis // Proc. 12th Int. Conf. on VLSI Design, 1999. P. 196–206.
12. *Francis R., Rose J., Vranesic Z.* Technology Mapping for Lookup Table-Based FPGAs for Performance // Proc. of the 27th Design Automation Conference, Orlando, June 1990. P. 613–619.
13. *Murgai R. et al.* A. Improved Logic Synthesis Algorithm for Table Look Up Architectures // Proc. of the Int. Conf. on Computer-Aided Design (ICCAD), 1991. P. 564–567.
14. *Тошич Ж.* Полиномиальное представление булевых функций и их минимизация // Изв. АН СССР. Техн. кибернетика. 1967. № 3. С. 113–117.
15. *Menger K. S.* A Transform for Logic Networks // IEEE Transactions on Computers. 1969. V. C-18, No. 2. P. 241–250.

16. Pradhan D.K. A Theory of Galois Switching Functions // IEEE Transactions on Computers. 1978. V. C-27, No. 3. P. 239–248.
17. Wesselkamper T.C. Divided Difference Methods for Galois Switching Functions // IEEE Transactions on Computers. 1978. V. C-27, No. 3. P. 232–238.
18. Varma D., Trachtenberg E.A. Efficient spectral methods for logic synthesis. Kluwer Academic Publishers, 1993. P. 215–232.
19. Pollard J. The Fast Fourier Transform in a Finite Field // Mathematics of Computation, 25 April, 1974. P. 365–374.
20. Макклеллан Дж. Х., Рейдер Ч. М. Применение теории чисел в цифровой обработке сигналов. М.: Радио и связь, 1983.
21. Калинин В. Динамический спектральный анализ в алгебре конечных полей // Препринт ОИЯИ Р11-88-320. Дубна, 1988.
22. Никитюк Н. Метод синдромного кодирования и его применение для быстрого аппаратного отбора событий на основе процессоров, оперирующих в поле Галуа $GF(2^m)$. Препринт ОИЯИ Р11-80-484. Дубна, 1980.
23. Калинин В., Никитюк Н., Гайдамака Р. Устройство для отбора t ядерных частиц из N частиц. А.с. 107589 (СССР). ОИ, 1982, № 11.
24. Калинин В., Никитюк Н., Гайдамака Р. Новый способ построения мажоритарных схем совпадений. Препринт ОИЯИ Р13-82-628. Дубна, 1982.
25. Chang Y.H., Butler J.T. The Design of Current Mode CMOS Multiple-Valued Circuits // Proc. of the 21st. ISVML, May 1991. P. 130–138.
26. Nozoe A., Kotani H., Tsujikawa T. A 256 Mb multilevel flash memory with 2 MB/s program rate for mass storage applications // Proc. of 1999 IEEE Int. Solid-State Circuits Conference (ISSCC'99), 1999. P. 1544–1550.
27. Jung T. et al. A 117-mm 3.3-V only 128-Mb multilevel NAND flash memory for mass storage applications // IEEE J. Solid-State Circuits. 1996. V. 31, No. 11. P. 1575–1583.
28. Okuda T., Murotani T. Four-level storage 4Gb DRAM // IEEE J. Solid-State Circuits. 1997. V. 32, No. 11. P. 1743–1747.
29. Tran H.V. A 2.5V 256-level non-volatile analog storage device using EEPROM technology // Proc. of IEEE Int. Solid-State Circuits Conference (ISSCC'96), 1996. P. 270–271.
30. Kimura H., Takahira T. New concept for multiple-valued optical memory // Electronics Letters. 1997. V. 33, No. 10. P. 847–848.
31. Chan H.L. et al. Compact multiple-valued multiplexers using negative differential resistance devices // IEEE J. Solid-State Circuits. 1996. V. 31, No. 8. P. 1151–1156.

32. *Wei S. et al.* A self latching A/D converter using resonant tunneling diodes // IEEE Int. Solid-State Circuits Conference, 1993. V. 28. P. 697–700.
33. *Tang H., Lin H. C.* Multi-valued decoder based on resonant tunneling diodes // Proc. 26th Int. Symp. Multiple-Valued Logic, 1996. P. 230–234.
34. *Frlez E. et al.* The PIBETA Detector Waveform Digitizing System // Bull. Amer. Phys. Soc. 2003. V. 48, No. 2. P. 124.
35. *Yau S. S., Tang C. K.* Universal logic modules and their applications // Transactions on Computers. 1970. No. 2. P. 18–23.

Получено 26 декабря 2005 г.

Корректор *Е. В. Сабаева*

Подписано в печать 04.04.2006.

Формат 60 × 90/16. Бумага офсетная. Печать офсетная.

Усл. печ. л. 1,25. Уч.-изд. л. 1,53. Тираж 305 экз. Заказ № 55288.

Издательский отдел Объединенного института ядерных исследований
141980, г. Дубна, Московская обл., ул. Жолио-Кюри, 6.

E-mail: publish@pds.jinr.ru

www.jinr.ru/publish/